



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 특허출원 2001년 제 51826 호
Application Number PATENT-2001-0051826

출원 년 월 일 : 2001년 08월 27일
Date of Application AUG 27, 2001

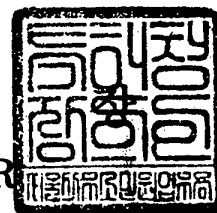
출원인 : 동부전자 주식회사
Applicant(s) DONGBU ELECTRONICS CO., LTD.



2001 년 10 월 19 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서		
【권리구분】	특허		
【수신처】	특허청장		
【참조번호】	0001		
【제출일자】	2001.08.27		
【발명의 명칭】	마스크롬 구조 및 그의 제조방법		
【발명의 영문명칭】	mask ROM and fabricating method thereof		
【출원인】			
【명칭】	동부전자 주식회사		
【출원인코드】	1-1998-106725-7		
【대리인】			
【성명】	강성배		
【대리인코드】	9-1999-000101-3		
【포괄위임등록번호】	2001-050901-4		
【발명자】			
【성명의 국문표기】	임민규		
【성명의 영문표기】	LIM, Min Gyu		
【주민등록번호】	640920-1168719		
【우편번호】	361-737		
【주소】	충청북도 청주시 흥덕구 가경동 동부아파트 106동 404호		
【국적】	KR		
【심사청구】	청구		
【취지】	특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대리인 강성배 (인)		
【수수료】			
【기본출원료】	20	면	29,000 원
【가산출원료】	7	면	7,000 원
【우선권주장료】	0	건	0 원
【심사청구료】	9	항	397,000 원
【합계】	433,000 원		
【첨부서류】	1. 요약서·명세서(도면)_1통		

【요약서】

【요약】

본 발명은 마스크롬(mask ROM) 구조 및 그의 제조방법에 관한 것으로, 보다 상세하게는 로직(logic) 공정과의 호환성이 우수하고 메모리 셀(memory cell)의 집적도가 높은 마스크롬 구조 및 그의 제조방법에 관해 개시한다.

개시된 본 발명의 마스크롬 구조는 메모리셀 어레이 영역 및 세크먼트 선택 영역이 정의된 기판과, 기판의 메모리셀 어레이영역의 외곽부위 및 세크먼트 선택 영역의 매몰층 형성영역의 외곽부위에 형성된 제 1 및 제 2 트렌치와, 제 1 및 제 2트렌치를 매립시키는 각각의 소자격리막 및 격리패턴과, 상기 구조의 기판 전면에 소정간격을 두고 제 1방향으로 배열되며, 격리패턴에 의해 에워싸여진 각각의 매몰층과, 매몰층과 수직 교차하는 제 2방향으로 배열된 각각의 게이트를 포함한다.

【대표도】

도 4

도시)과, 상기 구조의 기판 전면에 소정간격을 두고 제 1방향으로 배열된 각각의 매몰층(110)과, 매몰층(110)과 수직 교차하는 제 2방향으로 배열된 각각의 게이트(114)를 포함하여 구성된다.

- <22> 상기 플랫폼 타입의 마스크롬 제작 시, 도 1에 도시된 바와 같이, 격리공정은 메모리셀 간의 격리를 위해 별도의 LOCOS 또는 STI 공정이 진행되지 않고, 메모리셀 어레이영역(I) 외곽부위에 진행되어 메모리셀 어레이영역(I) 전체를 감싸는 구조를 가지며, 메모리 셀의 소오스/드레인(source/drain) 정선은 게이트 공정 이전에 형성되는 매몰층(110)으로, 상기 정선 간의 격리는 필요치 않다.
- <23> 상기 매몰층(110) 정선에 대한 콘택(122)은 메모리셀 어레이 영역(I) 내에는 존재하지 않고 세그먼트 선택트 영역(II)에만 존재한다. 또한, 상기 게이트(114)의 폭은 메모리셀의 채널폭이 된다.
- <24> 따라서, 플랫폼 타입의 마스크롬은, 상기에서 언급한 바와 같이, 메모리셀 내에 격리막과 콘택이 없으므로 메모리셀 크기가 $4F^2$ (F는 포토리소그라피(photolithography)의 최소선폭을 뜻함)정도가 되므로 고집적화가 가능하며, 공정이 단순하여 제조비용이 저렴하다.
- <25> 이러한 장점을 가진 플랫폼 타입의 마스크롬을 제작할 시에, $0.35\mu\text{m}$ 이전의 디자인룰(design rule)의 로직 공정을 적용한 경우, 1)격리 공정은 로코스(LOCOS)에 의해 진행되며, 2) 게이트 형성용 물질로는 N타입의 불순물이 도핑된 다결정 실리콘과 티타늄-살리사이드(Ti-Salicide) 또는 텅스텐-폴리사이드(tungsten-polycide)가 이용되며, 3)소오스/드레인 정선(junction)으로는 게이트 형성용 물질과 동일한 티타늄 살리사이드가 이용된다.

- <26> 또한, 상기 플랫셀 타입의 마스크를 0.25 μ m 이하의 디자인룰의 로직 공정을 이용하여 제작하는 경우, 1) 격리 공정은 트렌치(STI)에 의해 메모리셀 어레이 영역 전체를 감싸는 형태로 진행되며, 2) 게이트 형성용 물질로는 티타늄-살리사이드(Ti-salicide) 또는 코발트-살리사이드(Co-salicide)가 이용되며, 3) 소오스/드레인 정션으로는 게이트 형성용 물질과 동일한 티타늄-살리사이드(Ti-salicide) 또는 코발트-살리사이드(Co-salicide)가 이용된다.
- <27> 따라서, 지금까지는 0.35 μ m 이전의 디자인룰(design rule)의 로직 공정과 호환성을 갖는 플랫셀 타입의 마스크는 상용화되어 있으나, 0.25 μ m 이하의 로직 공정과 호환성을 가진 플랫셀 공정은 개발되지 않음에 따라 이에 대한 연구가 시급한 실정이다.
- <28> 도 2는 종래 기술에 따른 플랫셀 타입의 마스크 공정 흐름도이다.
- <29> 통상적으로 진행되는 종래 기술에 따른 마스크 제조 방법은 크게, 도 2에 도시된 바와 같이, 메모리셀 어레이 영역의 외곽에 소자분리막을 형성하는 격리공정과, 웰 형성공정과, 매몰층 형성 공정과, 메모리셀 어레이 영역 및 주변영역에 게이트절연막 및 게이트 형성 공정과, 메모리셀 어레이 영역에 셀격리용 이온주입 공정과, 주변영역의 게이트에 소오스/드레인 형성 공정과, 코딩 공정과, 세그먼트 선택 영역의 매몰층에 콘택 형성 공정 및 비트라인 형성 공정으로 구분된다.
- <30> 도 3a 내지 도 3c는 도 1의 AB선, BC선 및 CD선을 따라 절단한 공정단면도이다. 도 3a 내지 도 3c에 도시된 도면부호 a는 메모리셀 어레이영역의 액티브영역

(active region)을 뜻하며, 도면부호 b는 액티브영역의 외곽 부위인 주변영역을 뜻한다.

<31> 도 3a 내지 도 3c를 참조하여 종래 기술에 따른 마스크롬 제조방법을 좀더 상세히 알아보면 다음과 같다.

<32> 종래 기술에 따른 마스크롬 제조방법은, 도 3a에 도시된 바와 같이, 먼저 메모리셀 어레이영역(I)과 세크먼트 셀렉트 영역(II)이 정의된 기판(100)을 제공한다.

<33> 이어서, 상기 기판(100)의 메모리셀 어레이영역(I)의 액티브영역(a) 외곽 부위를 식각하여 트렌치(103)를 형성한다. 그 다음, 상기 트렌치(103)가 형성된 기판 전면에 산화실리콘막 등의 절연막을 증착한 후에, 상기 절연막을 에치백(etch back) 또는 화학기계적 연마(Chemical Mechanical Polishing) 공정에 의해 식각하여 상기 트렌치(103)를 매립시키는 소자격리막(104)을 형성한다.

<34> 이 후, 상기 소자격리막(104)이 형성된 기판에 불순물 주입 공정을 통해 웰(well)(102)을 형성한다. 이때, 상기 웰(102) 공정을 진행시킨 후에 소자격리막(104) 공정을 진행시켜도 무관하다.

<35> 이어서, 웰(102)이 형성된 기판의 메모리셀 어레이영역(I)과 세크먼트 셀렉트 영역(II)에 포토리소그래피(photolithography) 공정 및 불순물 주입 공정을 차례로 진행시키어 일방향으로 배열되는 각각의 매물층(110)(111)을 형성한다.

- <36> 그 다음, 상기 결과의 기판 상에 게이트 절연층(112)을 개재시키어 상기 매몰층(110)(111)과 직교하는 방향으로 배열되는 각각의 게이트(114)를 형성한다.
- <37> 이 후, 도면에 도시되지 않았지만, 메모리셀 어레이 영역(I)의 액티브영역(a)에 셀 격리용 이온주입을 실시한 후에 그 주변영역(b)에 소오스/드레인(130)을 형성하고, 코딩 공정을 실시한다.
- <38> 이어서, 도 3c에 도시된 바와 같이, 기판 전면에 보호막(120)을 증착한 후, 세크먼트 선택 영역(II)의 매몰층(111)에 이후에 형성될 비트라인(미도시)과의 연결통로 역할을 하는 콘택(122)을 형성한다.
- <39> 그 다음, 상기 콘택(122)을 통해 세크먼트 선택 영역(II)의 매몰층(111)과 전기적으로 연결되는 비트라인을 형성하여 마스크롬 제조를 완료한다.

【발명이 이루고자 하는 기술적 과제】

- <40> 0.25 μ m 이하의 디자인룰의 로직 공정을 이용하여 마스크롬을 제작하는 경우, 소자격리막 형성은, 상기 언급한 바와 같이, 트렌치 공정 및 화학기계적 연마 공정에 의해 진행된다.
- <41> 통상적으로 메모리셀의 한 세크먼트는 통상 32개의 워드라인과 1024개의 비트라인을 가진다. 따라서, 세크먼트의 크기가 작아질 경우에는 동일한 집적도의 메모리셀을 구성하는 면적이 증가하게 된다. 게이트가 최소 디자인룰로 디자인되었음을 고려하면, 32개 워드라인이 차지하는 높이는 약 64F이며, 여기에 세크먼트 선택단的高度를 약 12F로 가정하면, 한개 세크먼트의 높이는 76F가 된다.

그리고 1024개의 비트라인에 해당하는 길이는 약 2048F가 된다. 즉, 한개의 세크먼트의 크기는 2048F \times 6F가 된다. 0.25 μ m 이하의 디자인룰을 고려하면 512 \times 9 μ m 이다.

<42> 그리고 메모리셀은 여러 개의 세크먼트들의 집합체이다. 예로, 4M비트 메모리셀 어레이를 구성하기 위해서는 이러한 세크먼트가 128개 필요하다. 따라서 4M비트 메모리셀의 크기는 약 512 \times 432 μ m 가 되며, 이것이 메모리셀 블록을 구성하는 액티브영역의 크기가 된다.

<43> 그러나, 종래의 마스크를 제조방법에서는, 메모리셀 어레이 영역의 넓은 액티브영역에서는 상대적으로 연마 속도가 불균일하기 때문에 200 μ m \times 200 μ m 의 크기보다 큰 메모리셀에서는 연마 균일도(uniformity)가 저하되었다.

<44> 또한, 매몰층은 고집적화를 위해 포토리소그래피가 허용되는 최소 크기로 패터닝되기 때문에 세크먼트 선택 영역과 메모리셀 어레이 영역 끝단의 경계부에서 패터닝하기 어려운 문제점이 있었다.

<45> 이에 본 발명은 상기 종래의 문제점을 해결하기 위해 안출된 것으로, 소자 분리막 형성 시 진행되는 연마 공정에서의 연마균일도를 향상시키면서 세크먼트 선택 영역과 메모리셀 어레이 영역의 끝단의 경계부에서 매몰층을 용이하게 패터닝할 수 있는 메모리셀 제조방법을 제공함에 그 목적이 있다.

【발명의 구성 및 작용】

<46> 상기 목적을 달성하기 위한 본 발명의 마스크로는 메모리셀 어레이 영역 및 세크먼트 선택 영역이 정의된 기판과, 기판의 메모리셀 어레이영역의 외곽부위

및 세크먼트 선택 영역의 매몰층 형성영역의 외곽부위에 형성된 제 1 및 제 2 트렌치와, 제 1 및 제 2트렌치를 매립시키는 각각의 소자격리막 및 격리패턴과, 상기 구조의 기판 전면에 소정간격을 두고 제 1방향으로 배열되며, 격리패턴에 의해 애워싸여진 각각의 매몰층과, 매몰층과 수직 교차하는 제 2방향으로 배열된 각각의 게이트를 포함한 것을 특징으로 한다.

<47> 본 발명의 마스크롬 제조방법은, 메모리셀 어레이영역과 세크먼트 선택 영역이 정의된 기판을 제공하는 단계와, 기판의 메모리셀 어레이영역의 외곽부위 및 세크먼트 선택 영역의 매몰층 형성영역의 외곽부위에 각각의 소자격리막 및 격리패턴을 형성하는 단계와, 상기 결과물 상에 소정간격을 두고 제 1방향으로 배열되며, 격리패턴에 의해 애워싸여진 각각의 매몰층을 형성하는 단계와, 매몰층과 수직 교차되는 제 2방향으로 배열되는 각각의 게이트를 형성하는 단계를 포함한 것을 특징으로 한다.

<48> 이하, 본 발명의 바람직한 실시예를 첨부된 도면을 참조하여 상세히 설명하면 다음과 같다.

<49> 도 4는 본 발명에 따른 플랫폼 타입의 마스크롬의 메모리셀의 레이아웃도이고, 도 5는 본 발명에 따른 세크먼트 선택 영역의 레이아웃도이다.

<50> 본 발명의 마스크롬은 메모리셀 어레이 영역 및 세크먼트 선택 영역이 정의된 기판과, 기판(200)의 메모리셀 어레이영역의 외곽부위 및 세크먼트 선택 영역의 매몰층 형성영역의 외곽부위에 형성된 각각의 제 1 및 제 2트렌치(203)(205)와, 제 1 및 제 2트렌치(203)(205)를 매립시키는 각각의 소자격리막(204) 및 격리패턴(206)과, 상기 구조의 기판 전면에 소정간격을 두고 제 1방향으로 배열되

하며, 상기 격리패턴(206)은 세크먼트 셀렉트 영역(IV)에 형성되어 이후에 형성
될

<56> 세크먼트 셀렉트 영역(IV)과 메모리셀 어레이 영역(III) 일단의 매몰층을 각각 격
리시키는 역할을 한다.

<57> 이 후, 상기 소자격리막(204) 및 격리패턴(206)이 형성된 기판에 불순물 주입을
실시하여 웰(well)(202)을 형성한다. 이때, 상기 소자격리막 공정과 상기 웰
공정은 순서를 바꾸어 진행해도 무관하다.

<58> 그 다음, 도 8b에 도시된 바와 같이, 웰(202)이 형성된 기판 전면에 포토리소그
라피 공정 및 불순물 주입 공정을 차례로 진행시키어 일방향으로 배열되는 각각
의 매몰층(210)(211)을 형성한다.

<59> 상기 매몰층(210)(211)은, 도면에 도시되지 않았지만, 상기 웰(202)이 형성된
기판 전면에 패드산화막 및 질화막을 차례로 증착한다. 그 다음, 상기 질화막 상
에 감광막을 도포하고 노광 및 현상하여 매몰층 형성영역을 덮는 감광막 패턴을
형성한다. 이 후, 상기 감광막 패턴을 이용하여 상기 질화막 및 상기 패드산화막
을 제거하여 기판을 노출시킨 상태에서 불순물을 주입하여 형성한다.

<60> 이때, 도면부호 210은 메모리셀 어레이 영역(III)내에 형성된 매몰층을 뜻하며,
도면부호 211은 세크먼트 셀렉트 영역(IV)내의 격리패턴(206) 사이에 형성된 매
몰층을 뜻한다.

【발명의 효과】

- <67> 이상에서와 같이, 본 발명의 마스크를 제조방법은, 플랫셀 메모리 어레이의 최소단위인 각 세크먼트마다 격리패턴이 추가됨에 따라, 세크먼트 셀렉트 영역 내의 트랜지스터와 메모리셀 어레이 영역 일단에 형성된 메모리셀 트랜지스터가 매몰층의 영향을 받지 않으므로 균일한 소자의 특성을 유지할 수 있다. 또한, 0.25 μm 이하의 디자인룰을 갖는 로직 공정 조건을 사용하여 플랫셀 공정을 진행시킬 수 있다.
- <68> 그리고 액티브영역의 크기가 각 세크먼트 내의 메모리셀 어레이 영역으로 작아짐에 따라, 화학기계적 연마 공정에 의한 연마 불균일도가 향상된다.
- <69> 기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

【특허청구범위】**【청구항 1】**

메모리셀 어레이 영역 및 섹터 선택 영역이 정의된 기판과,
상기 기판의 메모리셀 어레이영역의 외곽부위 및 상기 섹터 선택 영역의
매몰층 형성영역의 외곽부위에 형성된 제 1 및 제 2 트렌치와,
상기 제 1 및 제 2트렌치를 매립시키는 각각의 소자격리막 및 격리패턴과,
상기 구조의 기판 전면에 소정간격을 두고 제 1방향으로 배열되며, 상기 격리
패턴에 의해 에워싸여진 각각의 매몰층과,
상기 매몰층과 수직 교차하는 제 2방향으로 배열된 각각의 게이트를 포함하여
구성되는 것을 특징으로 하는 마스크롬 구조.

【청구항 2】

제 1항에 있어서, 상기 제 1 및 제 2트렌치는 상기 기판 표면으로부터 3000~
4000Å의 깊이를 갖는 것을 특징으로 하는 마스크롬 구조.

【청구항 3】

제 1항에 있어서,
상기 게이트가 형성된 기판 전면을 덮는 보호막과,
상기 보호막에 형성되어, 상기 섹터 선택 영역의 매몰층을 일부 노출시키
는 콘택과,
상기 콘택을 덮는 비트라인을 추가하는 것을 특징으로 하는 마스크롬 구조.

【청구항 4】

메모리셀 어레이영역과 세크먼트 셀렉트 영역이 정의된 기판을 제공하는 단계와,

상기 기판의 메모리셀 어레이영역의 외곽부위 및 상기 세크먼트 셀렉트 영역의 매몰층 형성영역의 외곽부위에 각각의 소자격리막 및 격리패턴을 형성하는 단계와,

상기 결과물 상에 소정간격을 두고 제 1방향으로 배열되며, 상기 격리패턴에 의해 에워싸여진 각각의 매몰층을 형성하는 단계와,

상기 매몰층과 수직 교차되는 제 2방향으로 배열되는 각각의 게이트를 형성하는 단계를 포함한 것을 특징으로 하는 마스크롬 제조방법.

【청구항 5】

제 4항에 있어서, 상기 소자격리막 및 격리패턴 형성은,

상기 기판의 메모리셀 어레이영역의 외곽부위 및 상기 세크먼트 셀렉트 영역의 매몰층 형성영역의 외곽부위에 각각의 제 1 및 제 2트렌치를 형성하는 단계와,

상기 제 1 및 제 2트렌치가 형성된 기판에 절연층을 형성하는 단계와,

상기 절연층을 식각하는 단계를 포함하는 것을 특징으로 하는 메모리셀 제조방법.

【청구항 6】

제 5항에 있어서, 상기 절연층은 에치백 또는 화학기계적 연마 공정에 의해 식각하는 것을 특징으로 하는 메모리셀 제조방법.

【청구항 7】

제 4항에 있어서, 상기 매몰층 형성은,

상기 소자격리막과 상기 격리패턴이 형성된 기판 전면에 패드산화막 및 질화막을 형성하는 단계와,

상기 질화막 상에 매몰층 형성영역을 덮는 마스크 패턴을 형성하는 단계와,

상기 마스크 패턴을 이용하여 상기 질화막 및 상기 패드산화막을 제거하여 기판을 노출시키는 단계와,

상기 마스크 패턴 및 상기 격리패턴을 블로킹 마스크로 하여 상기 노출된 기판에 불순물을 주입하는 단계와,

상기 마스크 패턴을 제거하는 단계를 포함한 것을 특징으로 하는 메모리셀 제조방법.

【청구항 8】

제 4항에 있어서, 상기 제 1 및 제 2트렌치는 상기 기판 표면으로부터 3000 ~ 4000Å 깊이로 식각하는 것을 특징으로 하는 마스크롬 제조방법.

【청구항 9】

제 4항에 있어서, 상기 게이트를 형성한 후에,

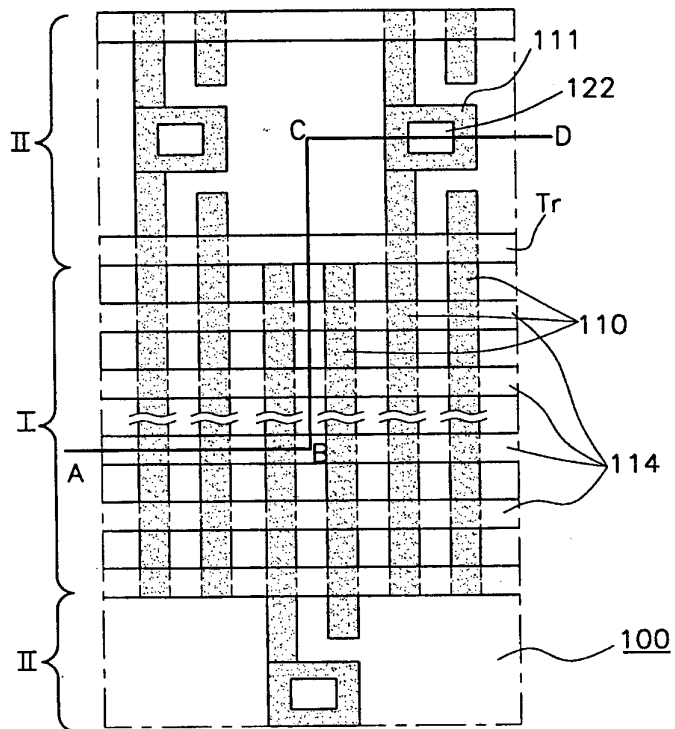
상기 게이트가 형성된 기판 전면에 보호막을 형성하는 단계와,

상기 보호막을 식각하여 상기 세크먼트 선택 영역의 매몰층을 일부 노출시키는 콘택을 형성하는 단계와,

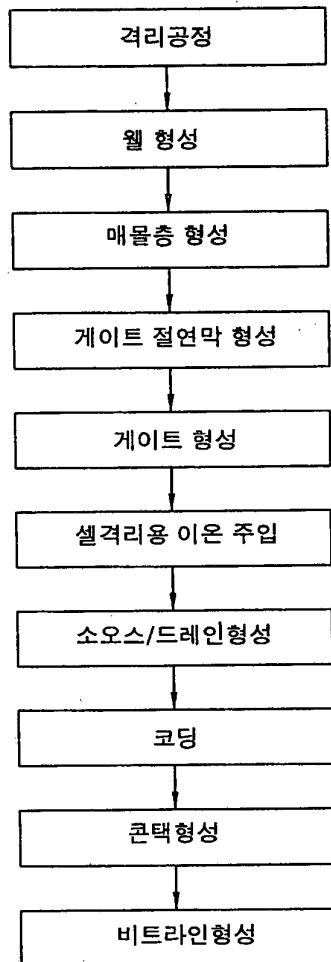
상기 콘택을 덮는 비트라인을 형성하는 단계를 추가하는 것을 특징으로 하는 마스크롬 제조방법.

【도면】

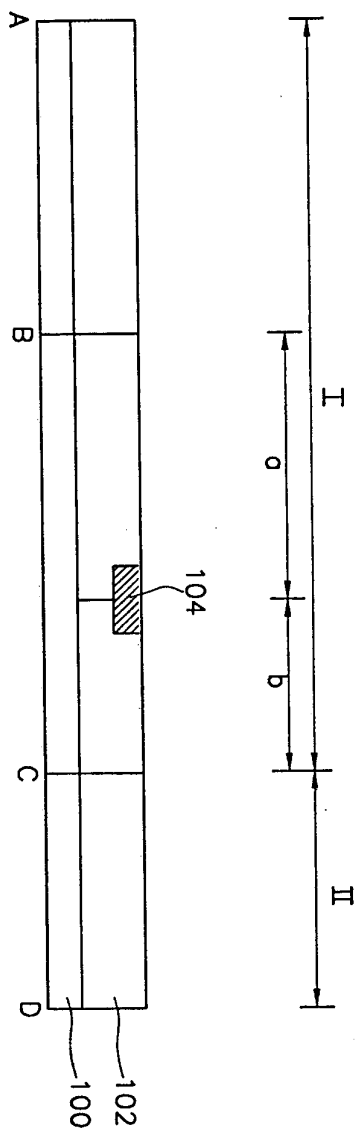
【도 1】



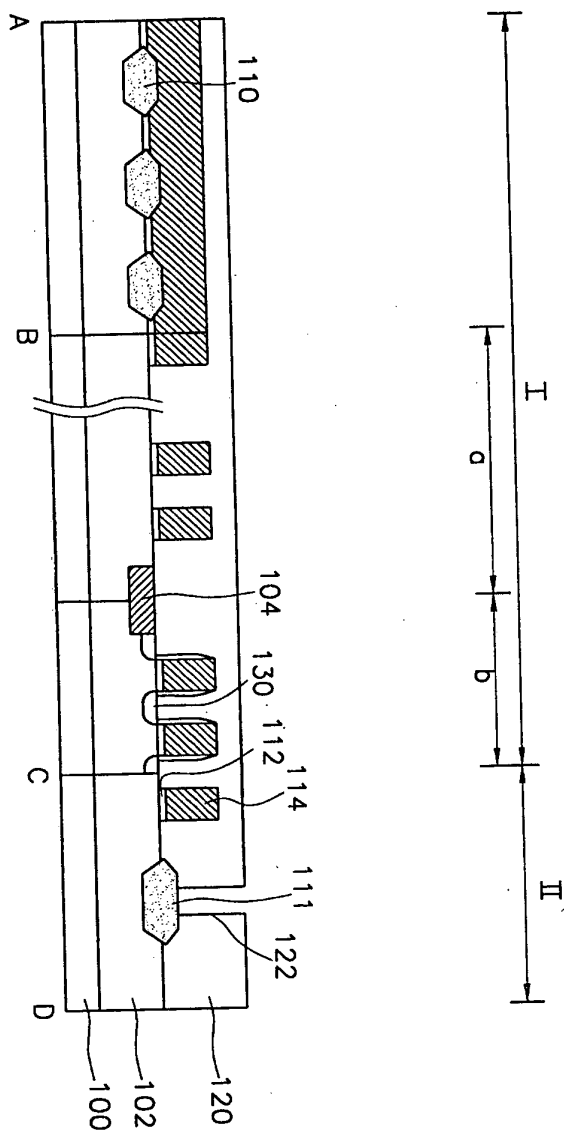
【도 2】



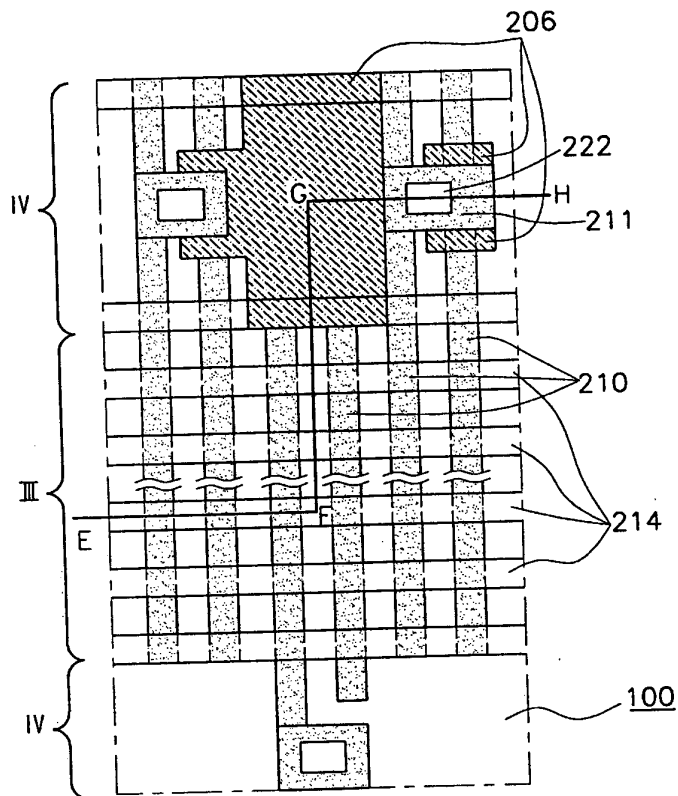
【도 3a】



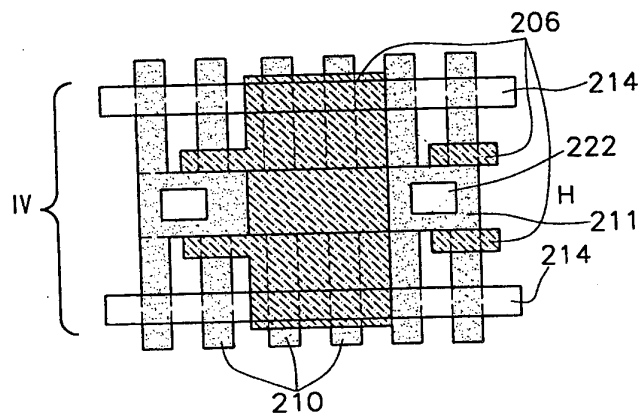
【도 3c】



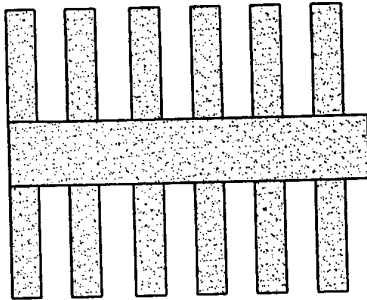
【도 4】



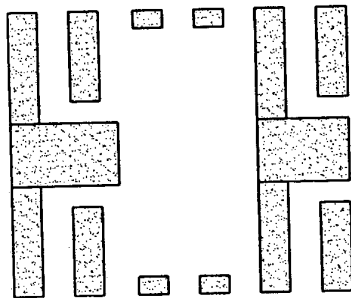
【도 5】



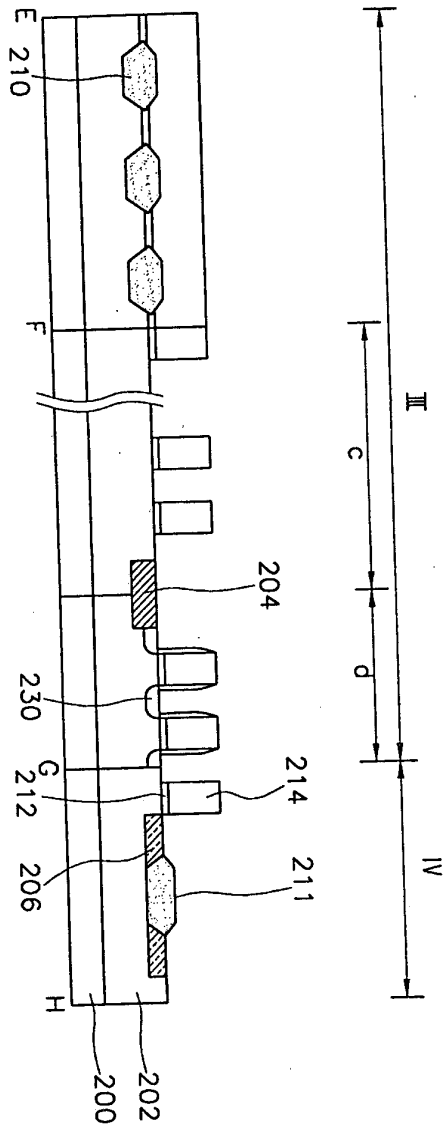
【도 6】



【도 7】



【도 8b】



【도 8c】

